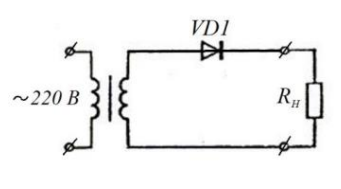
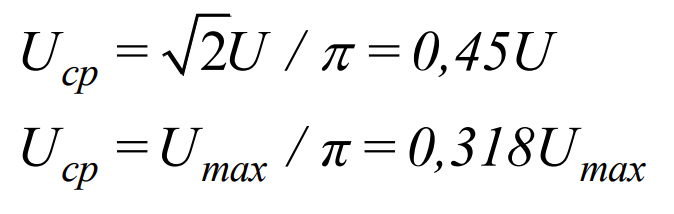
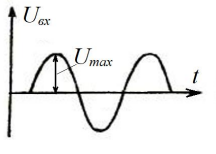
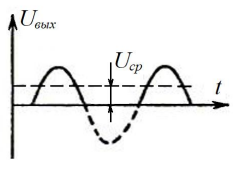
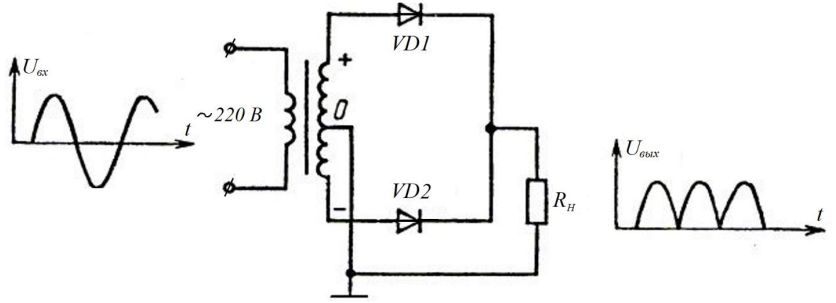
***Ответы на 2 вопрос по экзамену «Основы электроники»***

**Схема однополупериодного выпрямителя, управляемого синусоидальным напряжением от трансформатора**

**Однополупериодным выпрямителем** называется такой выпрямитель, на выходе которого после процесса выпрямления остаются колебания одного знака. Диод, включенный таким образом, проводит ток **только при положительных полупериодах входного колебания**, т.е. когда напряжение на его аноде больше потенциала катода. Среднее значение Uср колебания, полученного в результате выпрямления синусоидального напряжения с действующим значением U и максимальным значением Umax, равно:

Например, при выпрямлении напряжения с действующим значением U = 220В, после выпрямления получаем напряжение Uср ≈ 100В. В отрицательный полупериод диод не проводит ток, и все подведенное к выпрямителю напряжение действует на диоде как обратное напряжение выпрямителя. При изменении направления включения диода он будет проводить в отрицательные полупериоды и не проводить в положительные.

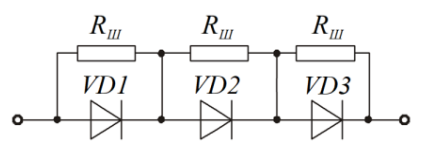
Рассматриваемая схема выпрямителя называется **последовательной**. Название связано с тем, что нагрузка включается последовательно с диодом.

**Схема двухполупериодного выпрямителя, управляемого синусоидальным напряжением от трансформатора**

**Двухполупериодным выпрямителем** называют такой выпрямитель, в котором после процесса выпрямления **остаются участки** входного колебания, имеющие один знак. К ним после изменения знака добавляются участки, имеющие противоположный знак.

В периоды времени, когда на аноде диода *VD1* действует положительное напряжение, на аноде диода *VD2* присутствует отрицательное и наоборот. Это происходит потому, что **средняя точка** вторичной обмотки трансформатора **заземлена**, и, следовательно, она имеет нулевой потенциал. При положительной полуволне напряжения на вторичной обмотке диод *VD1* пропускает ток, а диод *VD2* не пропускает. При отрицательной полуволне положительное напряжение действует на диоде *VD2*, который при этом проводит, а диод *VD1*, смещенный в обратном направлении, не проводит.

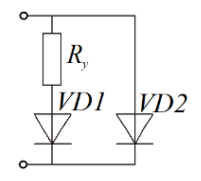
**Среднее значение напряжения**, полученного на выходе двухполупериодного выпрямителя **в 2 раза больше** напряжения, полученного на выходе однополупериодного выпрямителя.

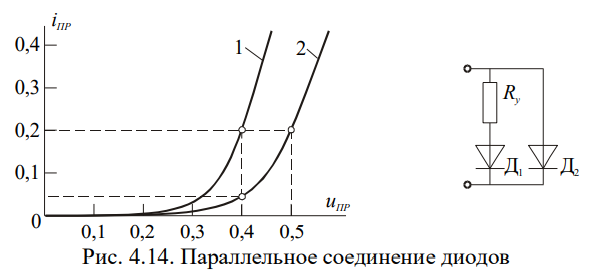
**Последовательное соединение диодов**

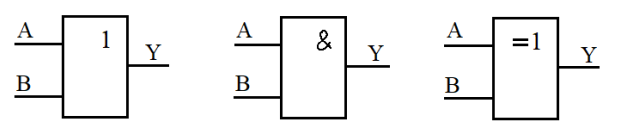
При выпрямлении более высоких напряжений приходится соединять диоды последовательно, с тем чтобы обратное напряжение на каждом диоде не превышало предельного. Но вследствие разброса обратных сопротивлений у различных экземпляров диодов одного и того же типа на отдельных диодах обратное напряжение может оказаться выше предельного, что повлечет пробой диодов.

Для того, чтобы обратное напряжение распределялось равномерно между диодами независимо от их обратных сопротивлений, применяют шунтирование диодов резисторами.

Сопротивления Rш резисторов должны быть одинаковы и значительно меньше наименьшего из обратных сопротивлений диодов. Но вместе с тем Rш не должно быть слишком малым, чтобы чрезмерно не возрос ток при обратном напряжении, т.е. чтобы не ухудшилось выпрямление.

**Параллельное соединение диодов**

Параллельное соединение диодов применяют тогда, когда нужно получить прямой ток, больший предельного тока одного диода. Но если диоды одного типа просто соединить параллельно, то вследствие неодинаковости вольт-амперных характеристик они окажутся различно нагруженными и в некоторых ток будет больше предельного. Практически редко включают параллельно больше трех диодов. Рекомендуется по возможности не прибегать к параллельному соединению диодов.

**Логические элементы «OR», «AND», «XOR»**

* «OR» - элемент ИЛИ

Функция ИЛИ представляет собой **дизъюнкцию**, булева функция:

Таблица истинности:

|  |  |  |
| --- | --- | --- |
| A | B | Y |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

* «AND» - элемент И

Функция И представляет собой **конъюнкцию**, булева функция:

Таблица истинности:

|  |  |  |
| --- | --- | --- |
| A | B | Y |
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

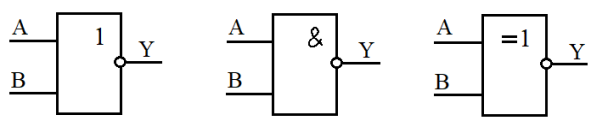
* «XOR» - элемент исключающее ИЛИ

Функция исключающее ИЛИ представляет собой **кольцевую сумму**, булева функция:

Y = (A != B)

Таблица истинности:

|  |  |  |
| --- | --- | --- |
| A | B | Y |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

**Логические элементы «NOR», «NAND», «NXOR»**

* «NOR» - элемент ИЛИ-НЕ

Базовая функция – ИЛИ, но добавлен инвертор, булева функция:

Таблица истинности:

|  |  |  |
| --- | --- | --- |
| A | B | Y |
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |

* «NAND» - элемент И-НЕ

Функция И представляет собой **конъюнкцию**, булева функция:

Таблица истинности:

|  |  |  |
| --- | --- | --- |
| A | B | Y |
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

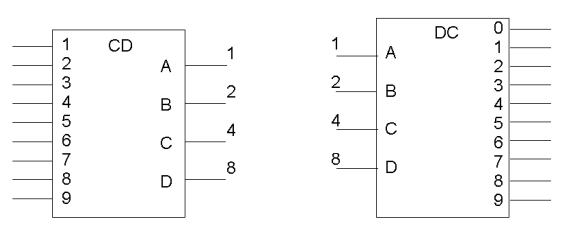
* «NXOR» - элемент исключающее ИЛИ-НЕ

Функция - исключающее ИЛИ, булева функция:

Y = (A == B)

Таблица истинности:

|  |  |  |
| --- | --- | --- |
| A | B | Y |
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

**Шифратор и дешифратор**

**Шифратор** в этой системе переводит десятичные числа в двоично-десятичный код. Рассмотрим шифратор на 9 входов и 4 выхода.

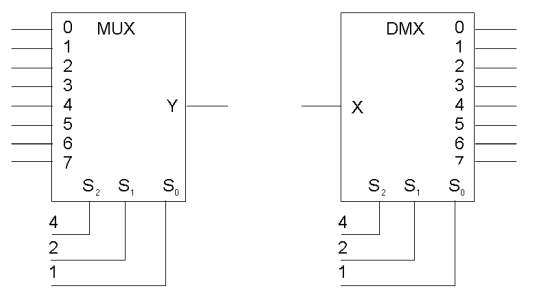
Такой шифратор принимает напряжение логических уровней по 9 входам и на 4 выходах генерирует двоично-десятичный код. Например, при подачи активного сигнала на вход 3, на выходе будем иметь 0011.

**Для получения на выходе 0000 необходимо активизировать все девять входов**.

Чтобы шифратор откликался на входной сигнал только одного провода, его схему делают приоритетной. Тогда выходной код должен соответствовать номеру «старшего» входа, получившего сигнал. Предположим, активные уровни поступили на входы 3, 4 и 9. Старший по номеру вход здесь 9, он обладает приоритетом, поэтому выходной код шифратора 1001.

**Дешифратор** так же, как и шифратор предназначен для преобразования кодов. На рисунке показан дешифратор, позволяющий преобразовывать входной четырехразрядный код в напряжение активного уровня по одному из десяти выходов, номер которого соответствует двоичному коду.

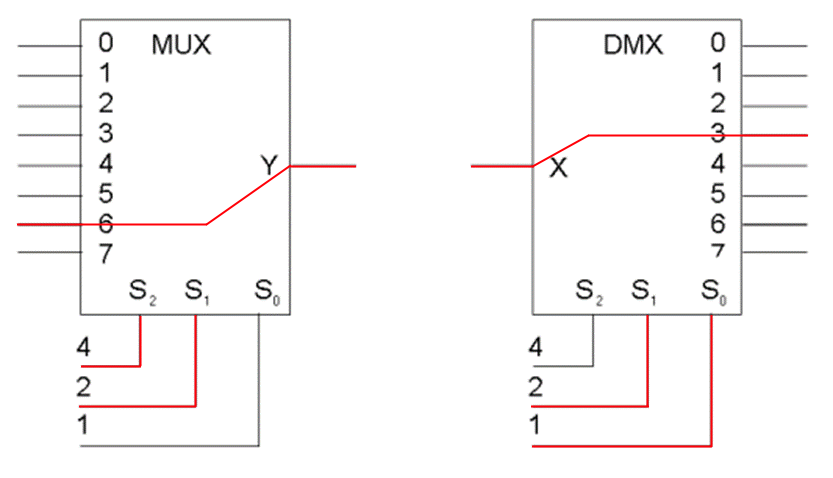
Например, входной код 1001 должен сделать активным выход с номером 9. Во всех остальных выходах дешифратора сигналы должны быть не активными. В условных обозначениях дешифраторов и шифраторов используются буквы DC и CD (от слов decoder и coder соответственно).

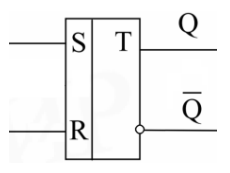
**Мультиплексор и демультиплексор**

**Мультиплексоры –** цифровые многопозиционные переключатели (коммутаторы). У мультиплексора может быть, например, 8 входов и один выход. Это означает, что если к этим восьми входам подключены 8 источников цифровых сигналов, то байты от любого входа можно передать в единственный выход. Для выбора нужного входа имеется селектор данных, на который передается двоичный код адреса.

Для восьми входов селектор данных содержит три управляющие линии, т.к. 23 = 8. Для передачи данных на выход от входа 6 следует на селектор данных подать код 110.

Мультиплексоры различаются по **числу входов, по способам адресации, наличия входов разрешения и инверсных выходов**. Мультиплексоры на большее количество входов, как правило, строятся из мультиплексоров меньшей размерности. В условных графических обозначениях функция мультиплексирования обозначается MUX (от multiplexor).

**Демультиплексор** является устройством для выполнения действий, обратных действиям мультиплексора. Демультиплексор имеет один вход, n входов селекции данных и 2n выходов.

***\*Триггер — логическое устройство, способное хранить 1 бит данных***

**RS-триггер**

**RS-триггер** имеет два входа раздельной установки в нулевое и единичное состояния. Воздействия по входу S (от слова SET - установка) приводит триггер в единичное состояние, а воздействие по входу R (от слова RESET - сброс) – в нулевое. Одновременная подача сигналов S и R не допускается.

Тип триггера определяется по его **характеристическому уравнению**:

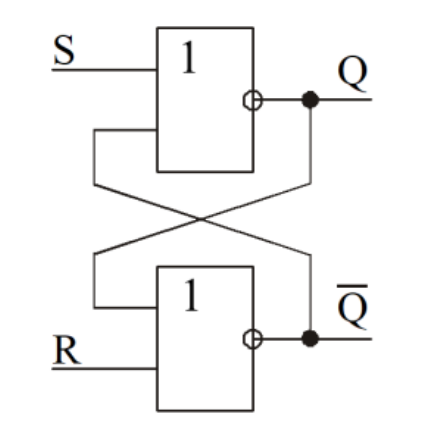
Qn+1 – выходной сигнал **ПОСЛЕ** переключения триггера

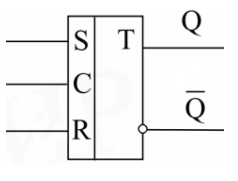
Qn – выходной сигнал **ДО** переключения триггера

**Характеристическое уравнение RS-триггера**: Qn+1 = S + ¬RQn

При S = R = 0 (режим хранения) состояние выхода триггера **не меняется**.

**RS-триггер может быть получен из двух логических элементов ИЛИ-НЕ**:

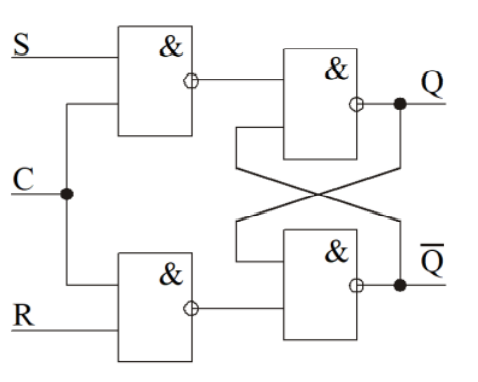


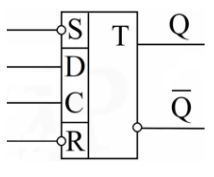
**Тактируемый (синхронный) RS-триггер**

В тактируемых (синхронных) устройствах процесс переработки информации упорядочивается во времени с помощью специальных тактовых сигналов, вырабатываемых общим для всего устройства генератором.

Отличия тактируемого RS-триггера от обычного RS-триггера состоит в появлении одного **дополнительного синхронизирующего входа**.

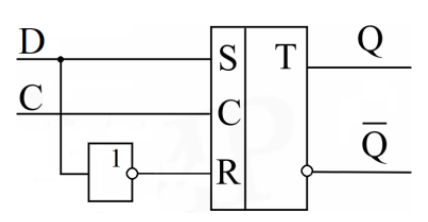
****Cостояние выходов тактируемого RS-триггера может изменяться **только в моменты прихода тактовых импульсов C**. В этом случае триггер работает синхронно, т.е. процесс переключения его выходов находится в синхронизме с тактовыми импульсами.

**Для получения тактируемого RS-триггера нужно ввести два дополнительных элемента И-НЕ**:

**D-триггер с двумя дополнительными входами (S/R)**

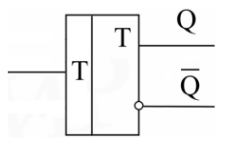
D-триггер (от слова *delay* - задержка) принимает информацию по одному входу. Его состояние **повторяет** входной сигнал, но с задержкой, определяемой тактовым сигналом.

D-триггеры бывают только синхронными. Характеристическое уравнение D-триггера имеет вид: Qn+1 = Dn

**D-триггер можно получить из тактируемого RS-триггера, путем добавления инвертора**:

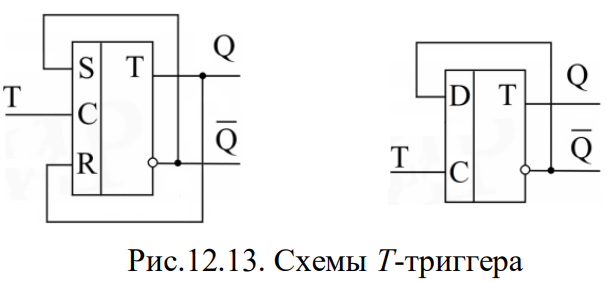
Асинхронные входы S и R в активных состояниях блокируют действия синхронных входов (D и C).

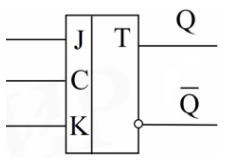
**↑** - положительный перепад напряжений (необходимо для передачи сигнала с D-входа, так же как и S = 1; R = 1) **X** – любое состояние.

**T-триггер**

T-триггер (от слова *toggle -* переключение) изменяет свое состояние на противоположное каждый раз, когда на его вход приходит очередной сигнал.

Состояние его выхода меняется на противоположное при поступлении на вход счётного сигнала Т = 1 и сохраняется неизменным при Т = 0.

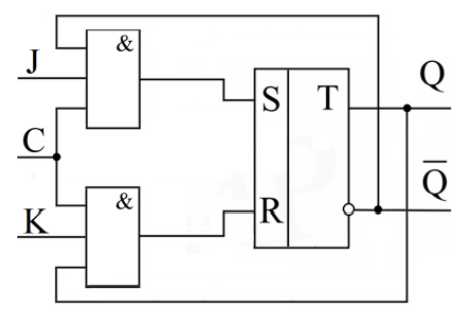
Характеристическое уравнение: Qn+1 = ¬TQn + T¬Qn

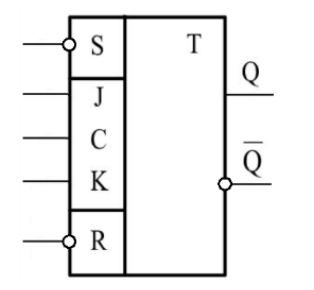
**JK-триггер**

JK-триггер – наиболее широко используемый универсальный триггер, обладающий характеристиками всех других типов триггеров.

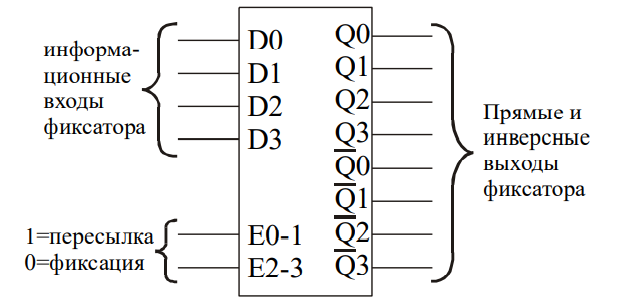
JK-триггер в отличие от RS-триггера не имеет запрещенных комбинаций входных сигналов.

Характеристическое уравнение: Qn+1 = ¬KQn + J¬Qn

**JK-триггер может быть реализован с использованием двух элементов И и RS-триггера**:

**JK-триггер с доп. входами (S/R)**

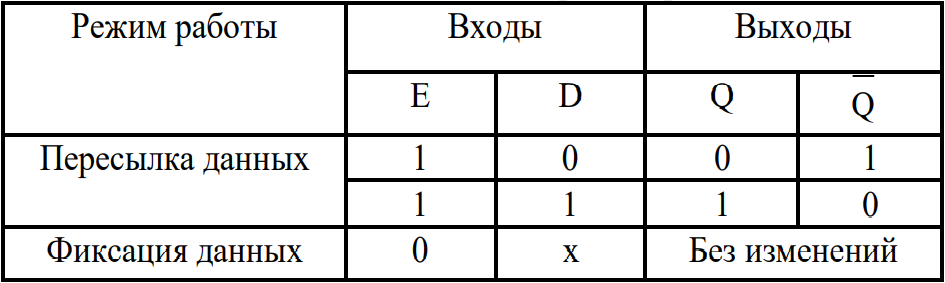
Асинхронные входы (S и R) в активных состояниях блокируют действия синхронных входов. Одновременная подача на оба асинхронных входа активного уровня сигнала (логического 0) соответствует **запрещенному состоянию**. При блокировании обоих синхронных входов (S и R) уровнем логической 1, работу триггера контролируют синхронные входы.

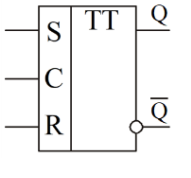
**Фиксатор**

Фиксатором можно назвать любое цифровое запоминающее устройство. Примером такого устройства является D-триггер. Устройство состоит из четырех D-триггеров, объединенных в одной интегральной схеме.

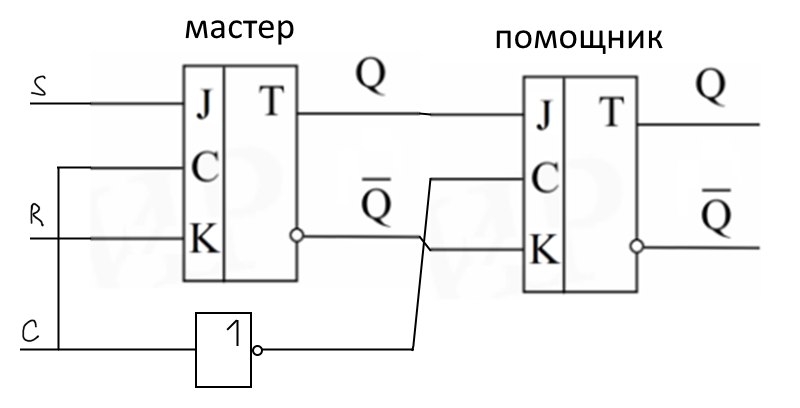
Информационный вход D0, а также выходы Q0 и ¬Q0 относятся к первому D-триггеру. Разрешающий вход E0-1 аналогичен синхронизирующему входу D-триггера и используется для управления сразу двумя триггерами D0 и D1.

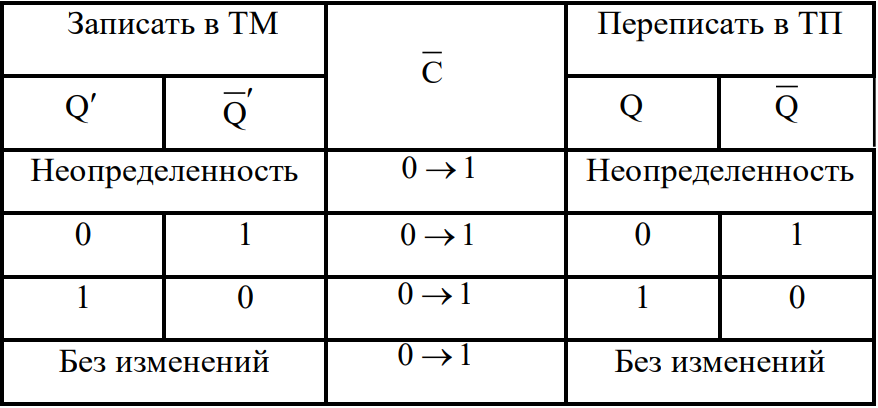
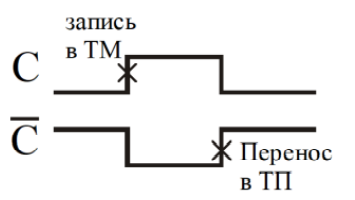
В **режиме пересылки** данных сигналы на Q-выходах фиксатора просто повторяют сигналы на соответствующих D-входах.

В момент перехода в **режим фиксации** данных сигналы, которые действовали на выходах Q, сохраняются даже при изменении сигналов на входах D, т.е. данные оказываются «запертыми».

**Двухступенчатый триггер**

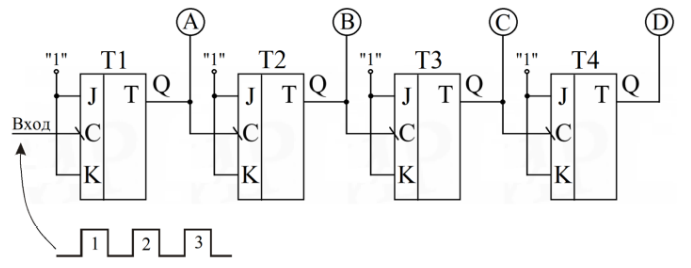
Для надёжной и чёткой работы триггерных ячеек в многоразрядных устройствах (регистрах, счётчиках) используются двухступенчатые триггеры, называемые MS-триггерами (master-slave).

Входы с обоих триггеров ТМ (мастера) и ТП (помощника) соединены между собой через инвертор.

Входная комбинация будет записана в ТМ в момент прихода положительного перепада тактового импульса С. В этот момент в ТП информация попасть не может. Когда придёт отрицательный перепад входного импульса С, на выходе инвертора он появится как положительный.

Изоляция входов от выходов обеспечивает устойчивое переключение триггера, если частота тактовых импульсов нестабильна.

***\*Счётчик - функциональный узел последовательностного типа, логическое состояние которого определяется послед. поступления входных сигналов.***

**Счётчик по модулю 16**

Используя 4 двоичных разряда (D, C, B и A) можно считать от 0000 до 1111 (от 0 до 15 в десятичной системе). Если нужен такой счётчик, у него должно быть 16 различных выходных состояний, т.е. нужен счётчик **с модулем 16**.

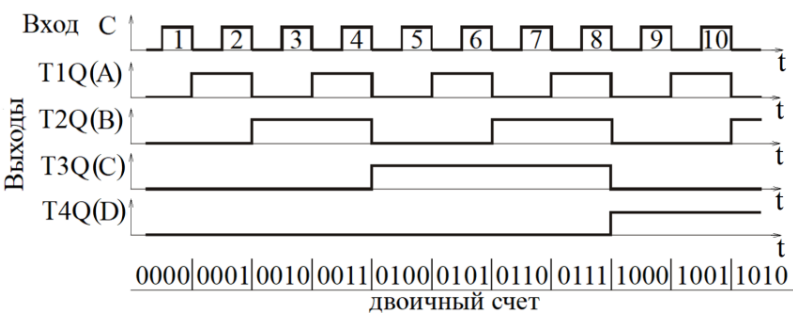
Каждый JK-триггер работает в режиме переключения (J = K = 1).

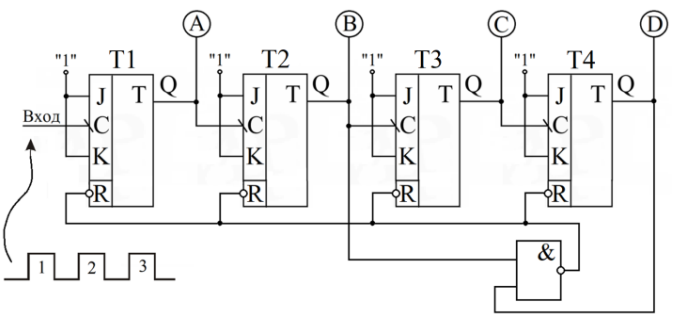
**{ Таблица двоичного и десятичного счета }**

Из столбца В видно, что триггер T2 переключается в два раза реже триггера T1. Каждый более старший разряд «переключается» в 2 раза реже предыдущего.

Каждый триггер воздействует только на один (следующий за ним триггер), поэтому для переключения всех триггеров необходимо некоторое время.

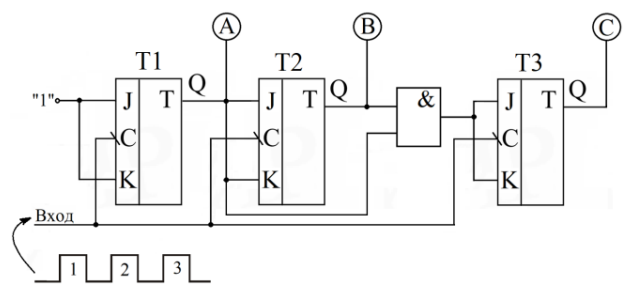
Рассматриваемый счётчик называют счётчиком **со сквозным переносом**.



**Асинхронный счётчик по модулю 10**

Счётчик по модулю 10 считает от 0000 до 1001 (от 0 до 9 в десятичной системе). Для построения такого счётчика трёх триггеров недостаточно (10 > 23), поэтому он содержит 4 триггера, но имеет обратные связи, останавливающие счёт при коде 9 = 1001.

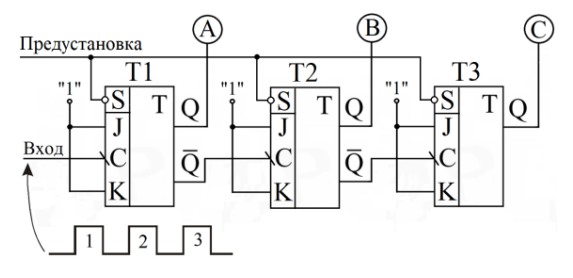
Рассмотрим принцип работы данной схемы. Из таблицы видно, что за числом 1001 следует 1010 (10 в десятичной системе). При подаче логической 1, содержащейся в разрядах двоек и восьмерок двоичного числа 1010, на входы элемента И-НЕ, этот элемент подаст логический 0 на входы R четырех триггеров. Таким образом, все триггеры установятся в состояние 0 и счетчик снова начинает считать от 0000 до 1010. Подобное использование логического элемента И-НЕ позволяет создать счетчики с некоторыми другими значениями модуля. Такой счётчик называют также декадным (десятичным) счетчиком.

**Синхронный счётчик по модулю 8**

В синхронных счетчиках все триггеры получают тактовый импульс одновременно, поскольку тактовые входы их соединяются параллельно. Такие триггеры переключаются практически одновременно.

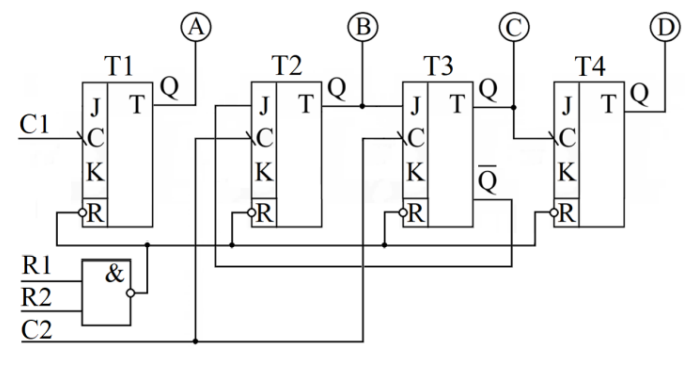
В асинхронных счетчиках каждый триггер вносит в процесс счета определенную **задержку**, поэтому младшие разряды результирующего кода появляются на выходах триггеров не одновременно, т.е. **несинхронно** с соответствующим тактовым импульсом. Например, для четырехразрядного асинхронного счетчика код 1111 появится на выходах триггеров уже **после того**, как поступит шестнадцатый тактовый импульс. Код 1111 сформируется **не одновременно**. В данном счетчике JK-триггеры используются как в режиме **переключения** (J = K = 1), так и в **режиме блокировки** (J = K = 0).

1. Переключается только триггер T1, поскольку только у него на входах J и K действует уровень логической 1. T1 переходит из состояния 0 в состояние 1.
2. Переключаются два триггера T1 и T2, поскольку на входах J и K этих триггеров действует уровень логической 1. T1 переходит из состояния 1 в состояние 0, T2 — из состояния 0 в состояние 1.
3. Переключается только один триггер. T1 переходит из состояния 0 в состояние 1. T2 не переключается, поскольку на входах J и K действует уровень логического 0.
4. Все триггеры меняют свое состояние на противоположное. T1 и T2 переходят из 1 в 0. T3 переключается из 0 в 1.
5. Триггер T1 переходит из состояния 0 в состояние 1.
6. Переключаются два триггера. T1 переходит из 1 в 0, T2 - из 0 в 1
7. Триггер T1 переходит из состояния 0 в состояние 1.
8. Все триггеры меняют свое состояние, переходя из 1 в 0.

**Асинхронный вычитающий счётчик по модулю 8**

Помимо суммирующих счетчиков (прямого счета), существуют счетчики, которые считают в обратном направлении - **вычитающие**.

Отличие данной схемы от схемы суммирующего счетчика состоит в **способе переноса сигнала от триггера к триггеру**. В суммирующем счетчике синхронизирующий вход каждого триггера связан с **прямым выходом** Q предыдущего триггера. В вычитающем счетчике синхронизирующий вход каждого триггера связан с **инверсным выходом** ¬Q предыдущего триггера. В данном счётчике перед началом счета в обратном направлении предусмотрена предварительная его установка в состояние 111 (десятичное число 7) с помощью входа предустановки (S).

**Четырёхразрядный двоичный счётчик**

На рисунке представлена схема четырехразрядного двоичного счетчика-делителя на 2, на 6 и на 12.

Если подать тактовые импульсы с частотой *f* на вход С1, то на выходе А получим частоту *f/2*.

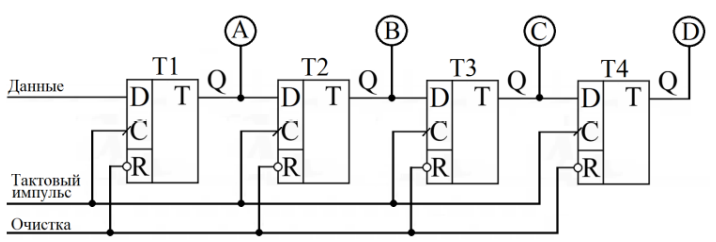
Тактовые импульсы с частотой *f* на входе С2 запускают делитель на 6 и на выходе D имеем частоту *f/6*.

При этом на выходах B и C имеем импульсы с частотой *f/3*.

На выводы R1 и R2 подаются команды сброса.

Для построения счетчика с модулем деления 12, требуется соединить делители на 2 и на 6, соединив выход А со входом С2. На вход С1 подается входная частота *f*, на выходе D получаем последовательность импульсов с частотой *f/12*.

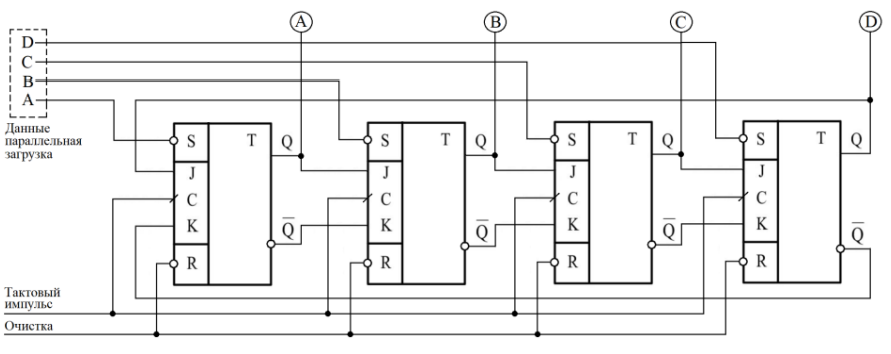
***\*Регистры – самые распространенные узлы ЭВМ и наиболее распространенный тип последовательностных узлов в цифровых устройствах***

 **Регистр сдвига на D-триггерах**

Данный регистр называется 4-разрядным регистром сдвига. Он хранит 4 двоичных разряда данных: А, В, С, D.

Для **очистки** регистра, установки уровня логического 0 на его выходах, подаём логический 0 на вход R каждого триггера.

Обычно регистры сдвига бывают 4 –, 5 – или 8 – разрядными. В них можно использовать не только D – триггеры, но и триггеры другого типа, например, JK – или RS – триггеры.

**Параллельный кольцевой регистр**

В схеме на рис.14.2 используется четыре JK – триггера. Входы А, В, С, D в этом устройстве являются информационными входами. Данный регистр является кольцевым, благодаря наличию обратной связи с выходов Q и ¬Q триггера Т4 на ходы J и K триггера Т1.

Введенная в регистр информация, которая обычно теряется на выходе триггера Т4, будет циркулировать по регистру.

Подача тактовых импульсов на входы C всех триггеров Т1-Т4 приводит к сдвигу информации в регистре вправо. Из триггера Т4 данные передаются в триггер Т1 (кольцевое перемещение информации).

Если в данном регистре разорвать петлю обратной связи, то получится обычный параллельный регистр сдвига.